ГУАП

КАФЕДРА № 44

ОТЧЕТ   
ЗАЩИЩЕН С ОЦЕНКОЙ

ПРЕПОДАВАТЕЛЬ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Доцент, к.т.н. |  |  |  | В.А. Ненашев |
| должность, уч. степень, звание |  | подпись, дата |  | инициалы, фамилия |

|  |
| --- |
| ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №5 |
| БЛОКИ ВСТРОЕННОЙ ПАМЯТИ |
| по курсу: СХЕМОТЕХНИКА |
|  |
|  |

РАБОТУ ВЫПОЛНИЛ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| СТУДЕНТ ГР. № | 4941 |  |  |  | Н. С. Горбунов |
|  |  |  | подпись, дата |  | инициалы, фамилия |

Санкт-Петербург 2021

**Цель работы**: в данной лабораторной работе требуется разработать схему, использующую встроенные блоки памяти ПЛИС для реализации функции, требующей значительного объема памяти для хранения предыдущих состояний.

**Задание по лабораторной работе**

Разработать схему, использующую встроенные блоки памяти ПЛИС для реализации функции, требующей значительного объема памяти для хранения предыдущих состояний. Написать тест для симуляции

**Вариант задания:**

|  |  |
| --- | --- |
| 7 | Реализовать двухпортовую память. Входная шина 16 бит, выходная 32 бит. Емкость 32 байта |

**Ход выполнения работы**

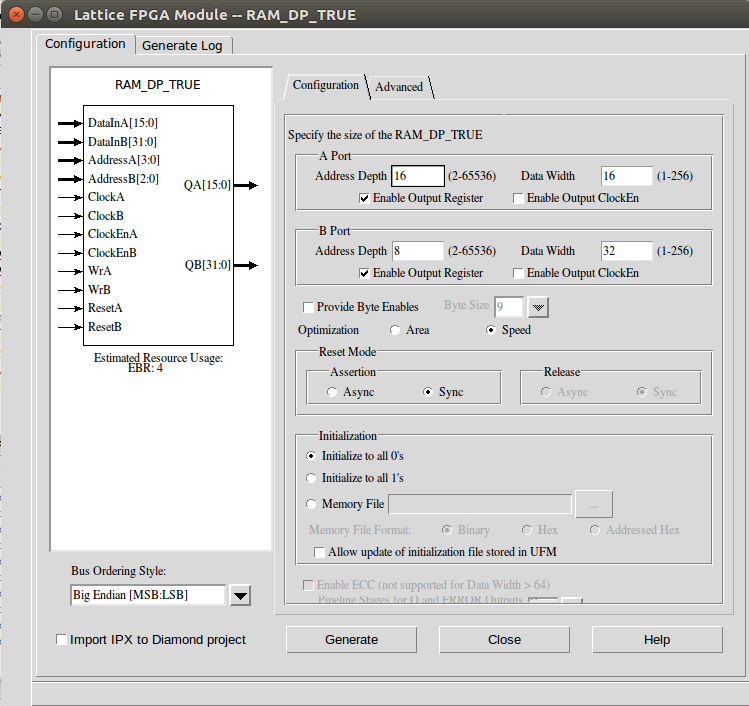


Рисунок 1. Настройки IP ядра двухпортовой памяти

Листинг 1. Test.sv

`timescale 1ns / 1ps

module test;

reg [15:0] DataInA;

reg [31:0] DataInB;

reg [3:0] AddressA;

reg [2:0] AddressB;

reg ClockA;

reg ClockB;

reg ClockEnA;

reg ClockEnB;

reg WrA;

reg WrB;

reg ResetA;

reg ResetB;

wire [15:0] QA;

wire [31:0] QB;

GSR GSR\_INST(.GSR(1'b1));

PUR PUR\_INST(.PUR(1'b1));

DP\_test uut(

.DataInA(DataInA),

.DataInB(DataInB),

.AddressA(AddressA),

.AddressB(AddressB),

.ClockA(ClockA),

.ClockB(ClockB),

.ClockEnA(ClockEnA),

.ClockEnB(ClockEnB),

.WrA(WrA),

.WrB(WrB),

.ResetA(ResetA),

.ResetB(ResetB),

.QA(QA),

.QB(QB));

initial ClockA = 0;

initial forever #20 ClockA <= !ClockA;

initial ClockB = 0;

initial forever #20 ClockB <= !ClockB;

integer i;

initial begin

ResetA = 1;

ResetB = 1;

DataInA = 0;

DataInB = 0;

AddressA = 0;

AddressB = 0;

WrA = 0;

WrB = 0;

#100;

ResetA = 0;

ResetB = 0;

#50;

for(i = 0; i < 3; i = i + 1)

begin

@(posedge ClockA);

ClockEnA <= 1;

AddressA = i;

DataInA = (i + 1) \* 4'h11;

//DataInA = 1;

WrA = 1;

end

@(posedge ClockA);

WrA = 0;

ClockEnA <= 0;

end

initial begin

ClockEnB = 0;

#400;

ClockEnB = 1;

#200;

AddressB = 1;

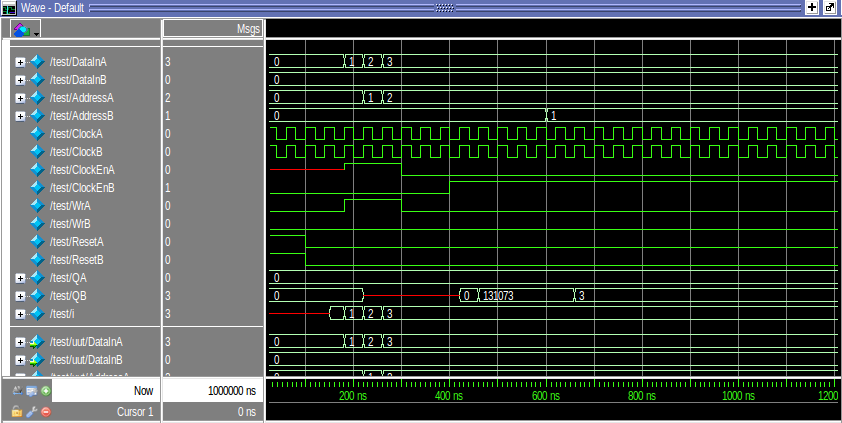
end endmodule

Рисунок 2. Результат симуляции

Таблица 1. Значения памяти по адресам

|  |  |  |
| --- | --- | --- |
| AddressA | AddressB | Value2 |
| 1 | - | 0000 0000 0000 0001 |
| 2 | - | 0000 0000 0000 0010 |
| 3 | - | 0000 0000 0000 0011 |
| - | 1 | 0000 0000 0000 0010 0000 0000 0000 0001 |
| - | 2 | 0000 0000 0000 0000 0000 0000 0000 0011 |

Вывод: воспользовался встроенным IP ядром двухпортовой памяти RAM\_DP\_TRUE. Написал тест, демонстрирующий работу одновременно двухпортов.